

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-270705

(P2002-270705A)

(43) 公開日 平成14年9月20日 (2002.9.20)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-コード (参考)

H 0 1 L 21/8247

H 0 1 L 21/316

S 5 F 0 0 4

29/788

29/78

3 7 1

5 F 0 5 8

29/792

21/302

J

5 F 0 8 3

21/3065

27/10

4 3 4

5 F 1 0 1

21/316

審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2001-65425 (P2001-65425)

(22) 出願日 平成13年3月8日 (2001.3.8)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 000158150

岩手東芝エレクトロニクス株式会社

岩手県北上市北工業団地6番6号

(72) 発明者 園田 真久

三重県四日市市山之一色町800番地 株式

会社東芝四日市工場内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

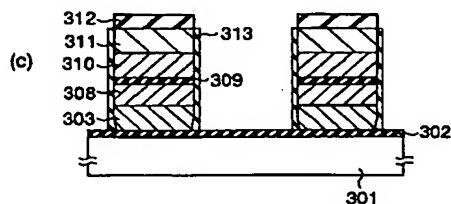
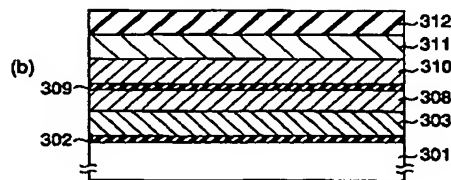
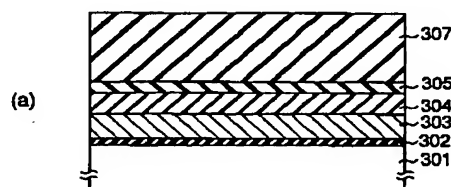
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

【課題】 セルトランジスタの浮遊電極の下端部 (裾部) がテーパ状に広がることを防止し、セルトランジスタの電荷保持特性の劣化を防止し得る不揮発性半導体記憶装置を提供する。

【解決手段】 主表面を有する半導体基板301上に形成されたゲート絶縁膜302と、ゲート絶縁膜上に形成された浮遊ゲート電極 (303, 308) と、浮遊電極上に形成されたONO絶縁膜309と、ONO絶縁膜上に形成された制御ゲート電極 (310, 311) とを具備した不揮発性半導体記憶装置において、浮遊ゲート電極の裾部側面と浮遊ゲート電極下のゲート絶縁膜の表面との間の角度 θ が90度以上である。



1

【特許請求の範囲】

【請求項1】 主表面を有する半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された浮遊ゲート電極と、
前記浮遊電極上に形成されたゲート間絶縁膜と、
前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記浮遊ゲート電極の裾部側面と浮遊ゲート電極下の前記ゲート絶縁膜の表面との間の角度が90度以上であることを特徴とする不揮発性半導体記憶装置。

【請求項2】 主表面を有する半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された浮遊ゲート電極と、
前記浮遊電極上に形成されたゲート間絶縁膜と、
前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記浮遊ゲート電極の裾部は、前記浮遊ゲート電極の側面より内側に位置することを特徴とする不揮発性半導体記憶装置。

【請求項3】 主表面を有する半導体基板上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成された浮遊ゲート電極と、
前記浮遊電極上に形成されたゲート間絶縁膜と、
前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記ゲート間絶縁膜端から半導体基板表面に垂直に降ろした垂線より、前記浮遊電極の裾部側面が内側にあることを特徴とする請求項1または2記載の不揮発性半導体記憶装置。

【請求項4】 請求項1乃至3のいずれか1項に記載の不揮発性半導体記憶装置を製造する際、

前記半導体基板上にゲート絶縁膜用の第1のシリコン酸化膜、浮遊ゲート用の第1の多結晶シリコン膜、シリコンナイトライド膜、第2のシリコン酸化膜を堆積する工程と、

光蝕刻法によりフォトリソを所望のパターンに加工し、それをマスクにして反応性イオンエッチング法により第1のシリコン酸化膜とシリコンナイトライド膜を加工し、 O_2 プラズマ中に半導体基板を晒し、前記フォトリソを除去する工程と、

前記第2のシリコン酸化膜をマスクにして反応性イオンエッチング法により第1の多結晶シリコン膜を加工する工程と、

前記半導体基板に素子分離領域を形成した後、第2のシリコン酸化膜、シリコンナイトライド膜を除去する工程と、

さらに、浮遊ゲート用の第2の多結晶シリコン膜を堆積してチャンネル幅W方向に分離した後、ゲート間絶縁膜と、制御ゲート用の第3の多結晶シリコン膜および金属シリサイド膜と、ゲート表面保護用の第3のシリコン酸化膜を堆積する工程と、

前記第3のシリコン酸化膜をパターンニング加工し、それをマスクにして反応性イオンエッチング法により、前

2

記金属シリサイド膜、第3の多結晶シリコン膜、ゲート間絶縁膜、第2の多結晶シリコン膜、第1の多結晶シリコン膜をチャンネル長L方向方向に分離加工する工程と、
前記第1の多結晶シリコン膜、第2の多結晶シリコン膜、第3の多結晶シリコン膜および金属シリサイド膜とゲート間絶縁膜の側壁にゲート表面保護用の第6のシリコン酸化膜を形成する工程とを具備し、

前記第2の多結晶シリコン膜および第1の多結晶シリコン膜を反応性イオンエッチング法により加工する時に、 $Cl_2/HBr/O_2$ のガス系を用い、第1の多結晶シリコン膜を第1のシリコン酸化膜の表面までエッチングした後、オーバーエッチングのガス系にHBr/ O_2 を用いてオーバーエッチングを行うことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項5】 請求項1乃至3のいずれか1項に記載の不揮発性半導体記憶装置を製造する際、

前記半導体基板上にゲート絶縁膜用の第1のシリコン酸化膜、浮遊ゲート用の第1の多結晶シリコン膜、シリコンナイトライド膜、第2のシリコン酸化膜を堆積する工程と、

光蝕刻法によりフォトリソを所望のパターンに加工し、それをマスクにして反応性イオンエッチング法により第1のシリコン酸化膜とシリコンナイトライド膜を加工し、 O_2 プラズマ中に半導体基板を晒し、前記フォトリソを除去する工程と、

前記第2のシリコン酸化膜をマスクにして反応性イオンエッチング法により第1の多結晶シリコン膜を加工する工程と、

前記半導体基板に素子分離領域を形成した後、第2のシリコン酸化膜、シリコンナイトライド膜を除去する工程と、

さらに、浮遊ゲート用の第2の多結晶シリコン膜を堆積してチャンネル幅W方向に分離した後、ゲート間絶縁膜と、制御ゲート用の第3の多結晶シリコン膜および金属シリサイド膜と、ゲート表面保護用の第3のシリコン酸化膜を堆積する工程と、

この後、前記第3のシリコン酸化膜をパターンニング加工し、それをマスクにして反応性イオンエッチング法により、前記金属シリサイド膜、第3の多結晶シリコン膜、ゲート間絶縁膜、第2の多結晶シリコン膜、第1の多結晶シリコン膜をチャンネル長L方向方向に分離加工する工程と、

前記第1の多結晶シリコン膜、第2の多結晶シリコン膜、第3の多結晶シリコン膜および金属シリサイド膜とゲート間絶縁膜の側壁にゲート表面保護用の第6のシリコン酸化膜を形成する工程とを具備し、

前記第2の多結晶シリコン膜および第1の多結晶シリコン膜を反応性イオンエッチング法により加工する時に、 $Cl_2/HBr/O_2$ のガス系を用い、第1の多結晶シリコン膜を第1のシリコン酸化膜の表面までエッチングした後、

10

20

30

40

50

3

オーバーエッチングのガス系にHBr/ O₂ を用いてオーバーエッチングを100 %以上行うことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項6】 請求項4または5記載の不揮発性半導体記憶装置の製造方法において、前記第6のシリコン酸化膜113を形成する時に、1000℃のO₂ 雰囲気中で厚さ10nm以上酸化することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項7】 請求項4または5記載の不揮発性半導体記憶装置の製造方法において、前記第6のシリコン酸化膜を形成する時に、H₂、O₂ のガス系を用いたInsituSteamed Generation(ISSG) の酸化法を用いることを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項8】 請求項4または5記載の不揮発性半導体記憶装置の製造方法において、前記第6のシリコン酸化膜を形成する時に、O₃ 酸化を用いることを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置およびその製造方法に係り、特に電荷を保持する浮遊ゲートを有する不揮発性半導体記憶装置およびその製造方法に関するもので、例えばNOR 型フラッシュメモリなどに使用されるものである。

【0002】

【従来の技術】従来の不揮発性半導体記憶装置のメモリの製造工程を簡単に説明する。

【0003】図6 (a) および (b) は、セルトランジスタのチャンネル幅W方向の断面構造、図7はセルトランジスタのチャンネル長L方向の断面構造を概略的に示す。

【0004】まず、図6 (a) に示すように、シリコン基板101上にトンネル酸化膜用のシリコン酸化膜102、浮遊ゲート (FG) 用の第1の多結晶シリコン膜103、シリコンナイトライド膜104、シリコン酸化膜105を堆積する。

【0005】そして、通常の光蝕刻法によりフォトリジスト (図示せず) を所望のパターンに加工し、それをマスクにしてRIE 法によりシリコン酸化膜105とシリコンナイトライド膜104を加工する。そして、O₂ プラズマ中にシリコン基板を晒し、前記フォトリジストを除去し、シリコン酸化膜105をマスクにしてRIE 法により第1の多結晶シリコン膜103を加工する。

【0006】この後、通常の工程により、図6 (b) に示すように、シリコン基板中に素子分離領域 (STI) を形成した後、第2のシリコン酸化膜105、シリコンナイトライド膜104を除去する。ここで、106はSTIの溝の内壁の第3のシリコン酸化膜、107は溝に埋め込まれた第4のシリコン酸化膜である。

4

【0007】この後、FG用の第2の多結晶シリコン膜108を堆積してチャンネル幅W方向に分離 (セルトランジスタ毎) 加工する。そして、ゲート間絶縁膜 (ONO 膜) 109と、制御ゲート (GC) 用の第3の多結晶シリコン膜110およびWSi 膜111と、ゲート表面保護用のシリコン酸化膜112を堆積する。

【0008】この後、シリコン酸化膜112をパターンニング加工し、それをマスクにしてRIE 法により、WSi 膜111、第3の多結晶シリコン膜110、ONO 膜109、第2の多結晶シリコン膜108、第1の多結晶シリコン膜103をチャンネル長L方向方向に分離加工する。

【0009】そして、ゲート電極 (FG用の第1の多結晶シリコン膜103および第2の多結晶シリコン膜108と、CG用の第3の多結晶シリコン膜110およびWSi 膜111) とONO 膜109の側壁にゲート表面保護用の第6のシリコン酸化膜113を形成する。

【0010】しかし、従来の方法で製造された浮遊電極の形状は、下端部 (裾部) がテーパー状に広がるが多く、これに起因して電荷保持特性 (Data Retention) が不良になるという問題があり、この点を以下に説明する。

【0011】図8は、従来の方法で製造されたセルトランジスタのゲート電極部のチャンネル長L方向の断面構造を拡大して示す。

【0012】図8において、浮遊電極の裾部が外側にテーパー状に広がっており、浮遊電極の裾部テーパー面と浮遊電極下のトンネル酸化膜102の表面との間のテーパー角 θ は $<90^\circ$ である。

【0013】また、浮遊電極の裾部がONO 膜109の端から半導体基板表面に垂直に降ろした垂線より外側にはみ出している (裾部先端の外側へのはみ出し量 $a > 0\text{nm}$)。

【0014】上記したように浮遊電極の裾部が外側にテーパー状に広がると、(イ) 浮遊電極の裾部に電界が集中する。

【0015】(ロ) ONO 膜109の端から半導体基板表面に垂直に降ろした垂線より外側に浮遊電極の裾部がはみ出しているので、後のドレイン・ソース領域形成工定でゲート電極の側面下の半導体基板に打ち込まれるイオン (例えばAs) が、浮遊電極の裾下のトンネル酸化膜102中にも打ち込まれてしまい、トンネル酸化膜102が劣化し、低電界でもリーク電流が流れる。

【0016】

【発明が解決しようとする課題】上記したように従来の不揮発性半導体記憶装置の製造方法は、セルトランジスタの浮遊電極の下端部 (裾部) がテーパー状に広がり、これに起因してセルトランジスタの電荷保持特性が不良になるという問題があった。

【0017】本発明は上記の問題点を解決すべくなされたもので、セルトランジスタの浮遊電極の下端部 (裾

5

部) がテーパ状に広がることを防止し、セルトランジスタの電荷保持特性の劣化を防止し得る不揮発性半導体記憶装置およびその製造方法を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の第1の不揮発性半導体記憶装置は、主表面を有する半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲート電極と、前記浮遊電極上に形成されたゲート間絶縁膜と、前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記浮遊ゲート電極の裾部側面と浮遊ゲート電極下の前記ゲート絶縁膜の表面との間の角度が90度以上であることを特徴とする。

【0019】本発明の第2の不揮発性半導体記憶装置は、主表面を有する半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲート電極と、前記浮遊電極上に形成されたゲート間絶縁膜と、前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記浮遊ゲート電極の裾部は、前記浮遊ゲート電極の側面より内側に位置することを特徴とする。

【0020】本発明の第3の不揮発性半導体記憶装置は、主表面を有する半導体基板上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成された浮遊ゲート電極と、前記浮遊電極上に形成されたゲート間絶縁膜と、前記ゲート間絶縁膜上に形成された制御ゲート電極とを具備し、前記ゲート間絶縁膜端から半導体基板表面に垂直に降ろした垂線より前記浮遊電極の裾部側面が内側にあることを特徴とする。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【0022】＜第1の実施形態のセルトランジスタの製造工程とゲート電極部の構造＞図1(a)乃至(c)および図2(a)乃至(c)は、本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルの製造工程について、セルトランジスタのチャンネル幅W方向の断面構造およびチャンネル長L方向の断面構造を概略的に示している。

【0023】まず、図1(a)および図2(a)に示すように、シリコン基板301上に800℃のO₂雰囲気中で加熱し、トンネル酸化膜用の厚さ10nmの第1のシリコン酸化膜302を形成する。次に、減圧CVD法を用いて、浮遊ゲート(FG)用の厚さ60nmの第1の多結晶シリコン膜303と、厚さ100nmのシリコンナイトライド膜304と、厚さ150nmの第2のシリコン酸化膜305を堆積する。

【0024】そして、通常の光蝕刻法によりフォトレジスト(図示せず)を所望のパターンに加工し、それをマスクにしてRIE法により第2のシリコン酸化膜305とシリコンナイトライド膜304を加工する。そして、O₂プラズマ中にシリコン基板を晒し、前記フォトレジストを

6

除去し、第2のシリコン酸化膜305をマスクにしてRIE法により第1の多結晶シリコン膜303を加工する。

【0025】次に、図1(b)および図2(a)に示すように、第2のシリコン酸化膜305をマスクに、第1のシリコン酸化膜302およびシリコン基板301を加工し、シリコン基板中に素子分離領域形成用の浅い溝を形成し、1000℃のO₂雰囲気中で加熱し、溝の内壁に厚さ6nmの第3のシリコン酸化膜306を形成する。そして、HDP (high density plasma) 法により、素子分離用の厚さ600nmの第4のシリコン酸化膜307を堆積し、前記溝に埋め込む。

【0026】次に、図1(c)および図2(b)に示すように、CMP (chemical mechanical polish) 法により、第4のシリコン酸化膜307を平坦化し、900℃の窒素雰囲気中で加熱する。

【0027】次に、Buffered HF 溶液中に10秒間浸し、150℃のリン酸処理によりシリコンナイトライド膜304を除去する。そして、Dilute HF 溶液で第4のシリコン酸化膜307を20nmエッチングする。

【0028】次に、減圧CVD法により、リンが添加された厚さ100nmの浮遊ゲート(FG)用の第2の多結晶シリコン膜308を堆積し、フォトレジストをマスクにしてRIE法により第2の多結晶シリコン膜308をチャンネル幅W方向に分離(セルトランジスタ毎)するように加工する。

【0029】次に、減圧CVD法により、ゲート間絶縁膜309と、制御ゲート(GC)用のリンが添加された厚さ100nmの第3の多結晶シリコン膜310および厚さ100nmのWSi膜311と、ゲート表面保護用の厚さ20nmの第5のシリコン酸化膜312を堆積する。この場合、ゲート間絶縁膜309は、厚さ5nmのシリコン酸化膜、厚さ5nmのシリコンナイトライド膜、厚さ5nmのシリコン酸化膜の3層膜(ONO膜)309として形成する。

【0030】次に、図2(c)に示すように、フォトリソグラフィ法によりフォトレジストを所望の形にパターンニングし、それをマスクにしてRIE法により第5のシリコン酸化膜312を加工する。

【0031】次に、第5のシリコン酸化膜312をマスクにしてRIE法により、WSi膜311、第3の多結晶シリコン膜310、ONO膜309、第2の多結晶シリコン膜308、第1の多結晶シリコン膜303をチャンネル長L方向方向に分離加工する。

【0032】そして、1000℃のO₂雰囲気中で加熱し、ゲート電極(FG用の第1の多結晶シリコン膜303および第2の多結晶シリコン膜308と、CG用の第3の多結晶シリコン膜310およびWSi膜311)とONO膜309の側壁にゲート表面保護用の第6のシリコン酸化膜313を形成する。

【0033】さらに、上記実施形態において、浮遊電極の裾部のテーパ(Taper)角が90度以上となるように、

50

7

以下の方法（イ）、（ロ）、（ハ）、（ニ）のいずれかを実施する。

【0034】（イ）第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工する時に、 $\text{Cl}_2/\text{HBr}/\text{O}_2$ のガス系を用い、第1の多結晶シリコン膜303をトンネル酸化膜（第1のシリコン酸化膜302）の表面までエッチングした時点を検知（Just検知）した後、オーバーエッチングのガス系に HBr/O_2 を用いてオーバーエッチングを行う。

【0035】（ロ）上記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 1000°C の O_2 雰囲気で、厚さ10nm以上酸化する。

【0036】（ハ）前記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 H_2 、 O_2 のガス系を用いる（Insitu Steamed Generation; ISSGの酸化法）。

【0037】（ニ）前記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 O_3 酸化を用いる。

【0038】その他、所望の形状を満足する方法であれば、この限りではない。

【0039】図3は、上記第1の実施形態の方法で製造されたセルトランジスタのゲート電極部のチャネル長L方向の断面構造を拡大して示す。

【0040】図3において、浮遊電極の裾部が内側にテーパー状に狭くなっており、浮遊電極の裾部テーパー面と浮遊電極下のトンネル酸化膜302の表面との間のテーパー角 θ は $>90^\circ$ （逆テーパー状態）である。

【0041】また、浮遊電極の裾部がONO膜309の端から半導体基板表面に垂直に降ろした垂線より内側へ引っ込んでいる（裾部先端の内側への引っ込み量 $a \leq 0$ ）。

【0042】上記したように浮遊電極の裾部が内側にテーパー状に狭くなっていると、（イ）浮遊電極の裾部への電界集中を抑制することができる。

【0043】（ロ）ONO膜309の端から半導体基板表面に垂直に降ろした垂線より内側へ浮遊電極の裾部側面が引っ込んでいるので、後のドレイン・ソース領域形成工程でゲート電極の側面下の半導体基板に打ち込まれるイオン（例えばAs）が、浮遊電極の裾下のトンネル酸化膜302中にも打ち込まれることを抑制でき、トンネル酸化膜302の劣化を防止でき、低電界でリーク電流が流れることを防止できる（電荷保持特性が良好である）。

【0044】＜第2の実施形態のセルトランジスタの製造工程とゲート電極部の構造＞図4は、本発明の第2の実施形態に係る不揮発性半導体記憶装置のメモリセルの製造工程について、セルトランジスタのチャネル長L方

8

向の断面構造を概略的に示している。

【0045】第2の実施形態の製造工程およびゲート電極部の構造は、前述した第1の実施形態の製造工程およびゲート電極部の構造と比べて、ONO膜309のパターニング工程およびONO膜309の断面構造が異なり、その他は同じであるので同じ符号を付してその説明を省略する。

【0046】即ち、第5のシリコン酸化膜312をマスクにしてRIE法により、WSi膜311、第3の多結晶シリコン膜310、ONO膜309、第2の多結晶シリコン膜308、第1の多結晶シリコン膜303を加工し、 1000°C の O_2 雰囲気で加熱し、ゲート電極の側壁に第6のシリコン酸化膜313を形成する。

【0047】この時、ONO膜309の端から半導体基板表面に垂直に降ろした垂線より、浮遊電極の裾部側面が内側になるように、以下の方法（イ）、（ロ）、（ハ）、（ニ）のいずれかを実施する。

【0048】（イ）第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工する時に、 $\text{Cl}_2/\text{HBr}/\text{O}_2$ のガス系を用い、第1の多結晶シリコン膜303のエッチングをJust検知した後、オーバーエッチングのガス系に HBr/O_2 を用いてオーバーエッチングを100%以上行う。

【0049】（ロ）上記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 1000°C の O_2 雰囲気で、厚さ10nm以上酸化する。

【0050】（ハ）前記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 H_2 、 O_2 のガス系を用いる（Insitu Steamed Generation; ISSGの酸化法）。

【0051】（ニ）前記（イ）の方法で第2の多結晶シリコン膜および第1の多結晶シリコン膜303をRIE法により加工した後に、第6のシリコン酸化膜313を形成する時に、 O_3 酸化を用いる。

【0052】その他、所望の形状を満足する方法であれば、この限りではない。

【0053】図5は、セルトランジスタの電荷保持特性の不良率と、第1の実施形態で説明した浮遊電極の裾部のテーパー角 θ の関係（テーパー角 θ 依存性）および第2の実施形態で説明したONO膜端から半導体基板表面に垂直に降ろした垂線と浮遊電極の裾部側面の相対位置との関係を示す。

【0054】ここで、従来例と対比するために、テーパー角 $\theta > 90^\circ$ の特性およびONO膜端から半導体基板表面に垂直に降ろした垂線と浮遊電極の裾部先端がONO膜端より外側に位置する場合の特性も示した。

【0055】この図から、第1の実施形態により、浮遊

電極の裾部のテーパ角 θ を90度以上にすることにより、従来例よりも電荷保持特性不良を低減することができることが分かる。

【0056】また、第2の実施形態により、ONO膜端から半導体基板表面に垂直に降ろした垂線よりも浮遊電極の裾部側面を内側に位置させることにより、従来例よりも電荷保持特性不良を低減することができることが分かる。

【0057】また、第1の実施形態と第2の実施形態の組み合わせにより、浮遊電極の裾部のテーパ角 θ が90度以上にし、かつ、ONO膜端から半導体基板表面に垂直に降ろした垂線よりも浮遊電極の裾部側面を内側に位置させることにより、電荷保持特性不良をさらに低減することができることが分かる。

【0058】

【発明の効果】上述したように本発明によれば、セルトランジスタの浮遊電極の裾部がテーパ状に広がることを防止し、セルトランジスタの電荷保持特性の劣化を防止し得る不揮発性半導体記憶装置およびその製造方法を提供することができる。

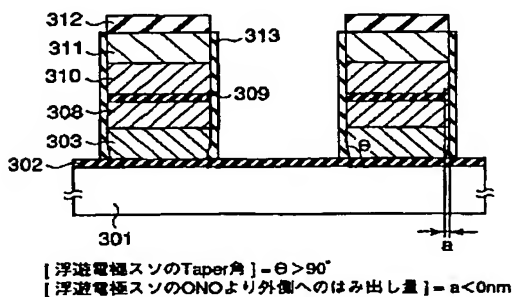
【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置のメモリセルの製造工程についてセルトランジスタのチャンネル幅W方向の構造を示す断面図。

【図2】図1に示したセルトランジスタのチャンネル長L方向の構造を示す断面図。

【図3】第1の実施形態の方法で製造されたセルトランジスタのゲート電極部のチャンネル長L方向の構造を拡大して示す断面図。

【図3】



*【図4】本発明の第2の実施形態に係る不揮発性半導体記憶装置のメモリセルの製造工程について、セルトランジスタのチャンネル長L方向の構造を概略的に示す断面図。

【図5】セルトランジスタの電荷保持特性の不良率と、第1の実施形態で説明した浮遊電極の裾部のテーパ角 θ の関係および第2の実施形態で説明したONO膜端から半導体基板表面に垂直に降ろした垂線と浮遊電極の裾部側面の相対位置との関係を示す特性図。

10 【図6】従来の不揮発性半導体記憶装置のメモリセルの製造工程の一部についてセルトランジスタのチャンネル幅W方向の構造を示す断面図。

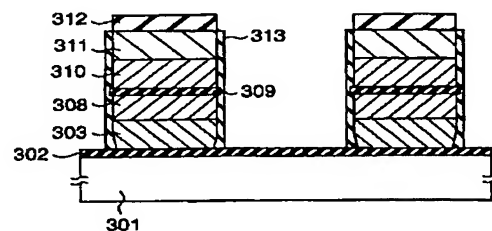
【図7】図6に示したセルトランジスタのチャンネル長L方向の構造を示す断面図。

【図8】従来の方法で製造されたセルトランジスタのゲート電極部のチャンネル長L方向の構造を拡大して示す断面図。

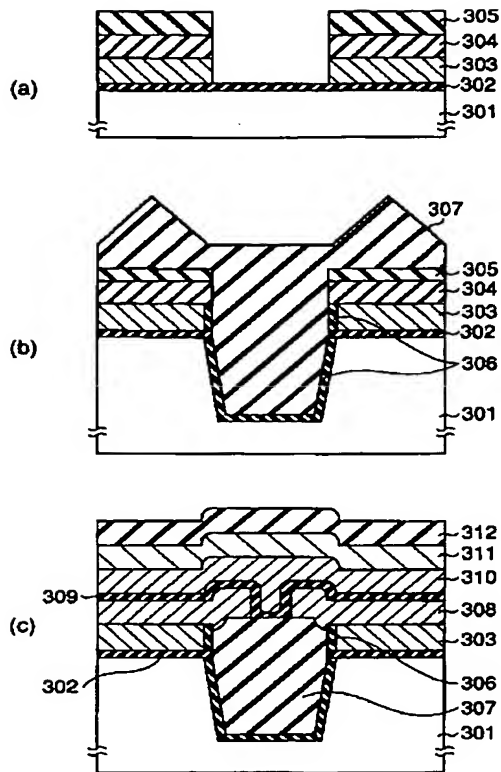
【符号の説明】

- 301 …シリコン基板、
 20 302 …第1のシリコン酸化膜、
 303 …第1の多結晶シリコン膜、
 306 …第3のシリコン酸化膜、
 307 …第4のシリコン酸化膜、
 308 …第2の多結晶シリコン膜、
 309 …ゲート間絶縁膜（ONO膜）、
 310 …第3の多結晶シリコン膜、
 311 …WSi膜、
 312 …第5のシリコン酸化膜、
 * 313 …第6のシリコン酸化膜。

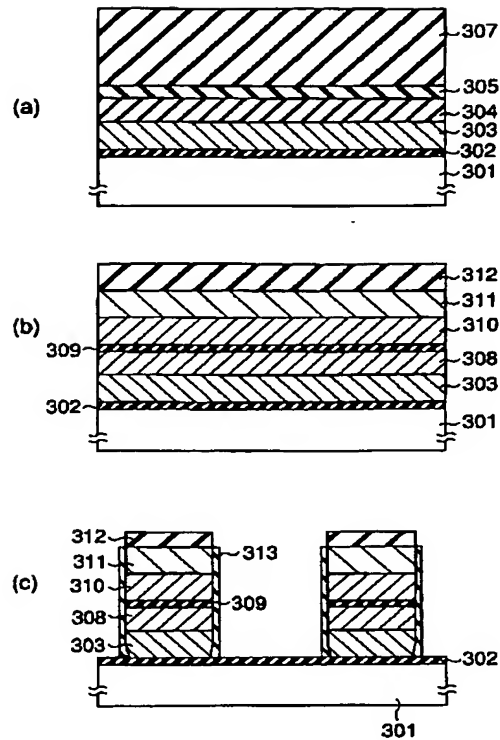
【図4】



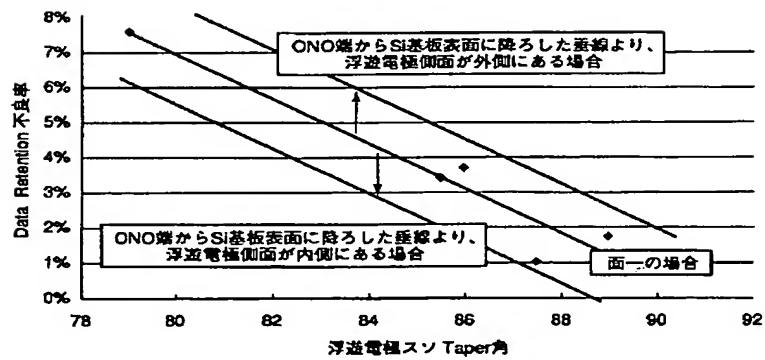
【図1】



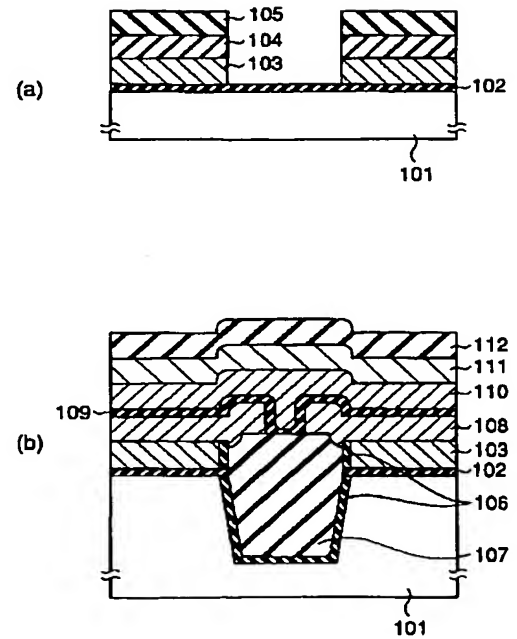
【図2】



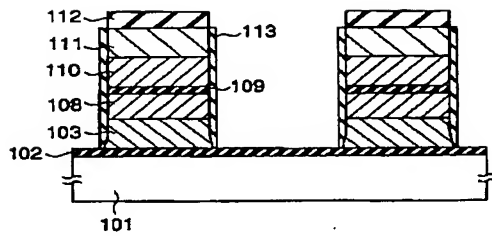
【図5】



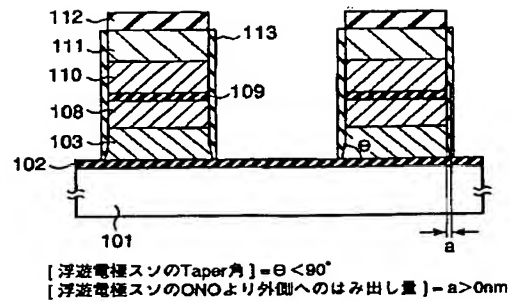
【図6】



【図7】



【図8】



フロントページの続き

(51) Int. Cl. 7
 H 0 1 L 27/115

識別記号

F I

テーマコード* (参考)

- (72) 発明者 角田 弘昭
 三重県四日市市山之一色町800番地 株式
 会社東芝四日市工場内
- (72) 発明者 坂上 栄人
 三重県四日市市山之一色町800番地 株式
 会社東芝四日市工場内
- (72) 発明者 金高 秀海
 三重県四日市市山之一色町800番地 株式
 会社東芝四日市工場内
- (72) 発明者 姫野 嘉朗
 三重県四日市市山之一色町800番地 株式
 会社東芝四日市工場内

- (72) 発明者 米浜 敬祐
 三重県四日市市山之一色町800番地 株式
 会社東芝四日市工場内
- (72) 発明者 高橋 邦栄
 岩手県北上市北工業団地 6 番 6 号 岩手東
 芝エレクトロニクス株式会社内
- F ターム (参考) 5F004 AA16 BA04 CA01 DA00 DA04
 DA26 DB02 DB03 EA06
 5F058 BC02 BF07 BF61 BF63
 5F083 EP03 EP23 EP55 EP56 EP77
 ER22 GA11 GA19 GA27 GA30
 JA04 JA32 JA35 JA53 NA01
 PR03 PR12 PR40
 5F101 BA07 BA12 BA23 BA29 BA36
 BB08 BD33 BD35 BF02 BH03
 BH14